

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09150543 A**

(43) Date of publication of application: **10 . 06 . 97**

(51) Int. Cl.

B41J 2/44
B41J 2/45
B41J 2/455
H01L 33/00
H04N 1/036

(21) Application number: **07310628**

(22) Date of filing: **29 . 11 . 95**

(71) Applicant: **CANON INC**

(72) Inventor: **TANIOKA HIROSHI**
OTSUBO TOSHIHIKO
AMIMOTO MITSURU
HATAKE SHIGEO

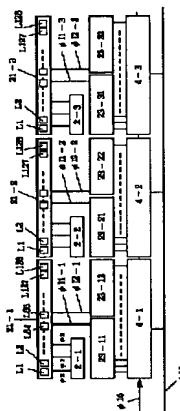
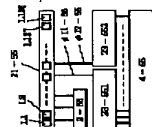
(54) **IMAGE FORMING APPARATUS**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To enable high speed recording and to eliminate the difference in level of a recording position by dividing a plurality of recording elements into a plurality of blocks and scanning the recording elements contained in the adjacent blocks in mutually reverse directions.

SOLUTION: One hundred and twenty-eight (128) light emitting elements L1-L128 of respective self-scanning type LED chips 21-1-21-55 are divided into two blocks from the central part of them and latch circuits 23-11, 23-12-23-551, 23-552 are provided corresponding to the respective blocks. Recording images respectively held in parallel are shifted in mutually reverse directions by these latch circuits 23-11, 23-21-23-541, 23-551 to be outputted to respective signal lines ϕ 11-1- ϕ 11-55. Further, recording image signals held in parallel are shifted in a forward direction by the latch circuits 23-12, 23-22-23-542, 23-552 to be outputted to signal wires ϕ 12-1- ϕ 12-55. By this constitution, high speed recording can be performed and the difference in level of a recording position is eliminated.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-150543

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J	2/44		B 4 1 J 3/21	L
	2/45		H 0 1 L 33/00	J
	2/455		H 0 4 N 1/036	A
H 0 1 L	33/00			
H 0 4 N	1/036			

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平7-310628

(22) 出願日 平成7年(1995)11月29日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 谷岡 宏

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 大坪 俊彦

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 網本 満

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 弁理士 丸島 儀一

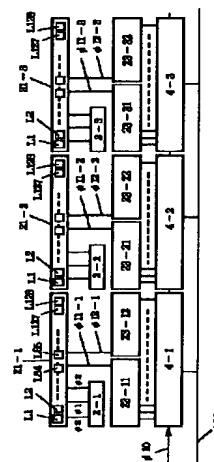
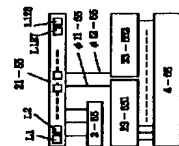
最終頁に続く

(54) 【発明の名称】 画像形成装置

(57) 【要約】

【課題】 複数のLEDを線上に配列し時分割駆動し記録する場合に生じる記録位置段差を防止する。

【解決手段】 複数の自己走査型LEDチップ21-1～21-55を夫々複数のブロックに分割し、隣接するブロックに含まれるLEDを互いに逆方向に走査するよう駆動する。



【特許請求の範囲】

【請求項1】 複数の記録素子を時分割駆動する画像形成装置において、前記複数の記録素子を複数のブロックに分割し、隣接するブロックに含まれる記録素子を互いに逆方向に走査するよう駆動することを特徴とする画像形成装置。

【請求項2】 前記記録素子として発光素子を用いる請求項1記載の画像形成装置。

【請求項3】 前記発光素子として自己走査型LEDを用いる請求項2記載の画像形成装置。

【請求項4】 時分割駆動される複数の記録素子を夫々備えた複数の記録素子を有する画像形成装置において、前記複数の記録チップの夫々の前記記録素子を複数のブロックに分割し、隣接するブロックに含まれる記録素子を互いに逆方向に走査するよう駆動することを特徴とする画像形成装置。

【請求項5】 前記記録素子として発光素子を用いる請求項4記載の画像形成装置。

【請求項6】 前記発光素子として自己走査型LEDを用いる請求項5記載の画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプリンタ、複写機、ファクシミリ等の画像形成装置に関するものである。

【0002】

【従来の技術】まず、例えば記録素子として自己走査手段を有する発光素子を用いた画像形成装置、すなわち自己走査型LEDプリンタの概要について説明する。

【0003】図4は、自己走査型LEDプリンタの概略図である。101は感光ドラムで、矢印aの方向に回転し、該ドラム101の表面は、1次帯電器102により均一に帯電される。103は従来の自己走査型LEDアレイ基板201を用いた自己走査型LEDプリンタヘッドであり、ここで前記ドラム101の表面において、LEDプリンタヘッド103により輝点が結像された部分の電荷のみを移動させ、その他の部分の電荷はそのまま残す2次帯電を行い、静電潜像を形成する。次に、該潜像が現像器101を通過すると、そのときの感光ドラム101の表面電荷の有無に従いトナーの付着、不着が行われ、該ドラム101面上の画像が顕像化する。

【0004】以上の過程において、前記アレイ基板201を有する自己走査型LEDプリンタヘッド103により、輝点を照射された前記ドラム101の部分にトナーを付着させるか否かは、1次帯電器102の極性及び現像器104に入れたトナーの極性等の組み合わせ如何により、任意に決定できるのは周知のとおりである。

【0005】図5は自己走査型LEDの駆動制御部をあらわすブロック図である。

【0006】図5において、1-1~1-55は1ライン上に配列された55個の自己走査型LEDチップ、L

1~L128は各自己走査型LEDチップ1-1~1-55内に実装された128個の発光素子、2-1~2-55は各自己走査型LEDチップ1-1~1-55を駆動するためのタイミング信号発生回路、3-1~3-55は各自己走査型LEDチップ1-1~1-55に転送すべき記録画像信号をラッチするラッチ回路、4-1~4-55はシフトレジスタ、φ10は記録画像信号を入力する信号線、φ11は記録画像信号をシフトレジスタ4-1~4-55に格納する際のタイミング信号を与える信号線である。

【0007】φI-1からφI-55はラッチ回路3-1~3-55から自己走査型LEDチップ1-1~1-55に記録画像信号を転送する信号線であり、以下これらの動作について説明する。

【0008】まず、記録画像信号を図示しない外部装置より信号線φ10を介して、シリアルにシフトレジスタ4-1~128画素ぶん転送し、更に、順次4-2、…4-55~128画素ずつ転送する。この時のタイミングは図示しない制御回路から信号線φ11を介して与える。1ライン分の記録画像信号が転送され、シフトレジスタ4-1~4-55に格納された後、各自己走査型LEDチップ1-1~1-55の発光素子L1~L128を駆動する記録画像信号をラッチ回路3-1~3-55で各々並列に保持し、更に信号線φI-1~φI-55を介して各自己走査型LEDチップ1-1~1-55へシリアルに出力し、自己走査型LEDチップ1-1~1-55を駆動する。

【0009】次に自己走査型LEDチップの動作について説明する。

【0010】図6は、自己走査型LEDチップの等価回路図であり、図8はタイミングチャートである。図6においてS1、S2、…S128は発光用サイリスタで、図5の発光素子L1~L128に等価であり、S'1、S'2、…S'128は転送用サイリスタである。φIは信号線φI-1~φI-55を介して入力する記録画像信号である。φSはスタート信号、φ1およびφ2はシフト信号であり、タイミング信号発生回路2-1~2-55で与えられる。

【0011】まず、スタート信号φSをLからHにする。φSがHの状態ではシフト信号φ1をHからLにすることにより、図の転送用サイリスタS'1がオン状態になり、この転送用サイリスタS'1のゲート電圧はアノード電位すなわち、約5Vとなるため、次のタイミングで記録画像信号φIをHからLにすれば発光用サイリスタS1がオンになり記録のために発光する。記録画像信号φIをLからHに戻すと、発光用サイリスタS1はオフになる。次のタイミングでシフト信号φ2をHからLにすると、転送用サイリスタS'2がオンになる。次に、シフト信号φ1をLからHにすると、転送用サイリスタS'1はオフになるが、転送用サイリスタS'2は

オン状態のままで、次に記録画像信号 $\phi 1$ をLからHにすると、発光用サイリスタS2がオンになる。この繰り返しを64回行うことにより128個の発光用サイリスタS1～S128は順次走査されて、128画素分の記録画像信号 $\phi 1$ に応じた点灯が可能になる。

【0012】

【発明が解決しようとする課題】以上のように、従来技術による駆動方式は、まず先頭画素P1に対応する発光用サイリスタS1を駆動し、次に画素P2に対応する発光用サイリスタS2、画素P3に対応する発光用サイリスタS3…、と順次駆動するため、最終画素P128と隣接するチップの先頭画素P1'を駆動するタイミングは図7のように1走査ぶんずれる。この例で副走査線密度を1200DPIにした場合、前記時間差に相当する記録位置段差Dは約21 μ mとなる。この段差Dはフォントを記録する場合、あるいは複雑な幾何学模様を記録する場合、発光素子の配列方向にいつも同じ位置に発生するため、きわめて画像の品位を低下させる。

【0013】このように複数の発光素子等の記録素子を時分割駆動して記録する場合、記録素子配列方向の直線はすべての記録素子が同時に駆動されないために、直線には記録できない。

【0014】係る課題を解決するために、

①記録素子を相補的に逆方向に傾けて作る。

②配列されたチップを相補的に傾けて実装する。

③副走査を低速に駆動し、その印字時間差を小さくする。

等の手段が開示されているが、①、②はチップの面積が増大しコストが上がる、③は高速記録ができなくなる、という欠点を有する。

【0015】したがって、本発明は、安価で高速記録が可能な、記録位置段差のない画像形成装置を提供することを目的とする。

【0016】

【課題を解決するための手段】この発明に係る画像形成装置は、複数の記録チップの夫々の記録素子を複数個のブロックに分割し、隣接するブロックに含まれる記録素子を互いに逆方向に走査するよう駆動するものである。

【0017】

【発明の実施の形態】この発明の実施例の構成を図1を参照しながら説明する。

【0018】図1はこの発明の一実施例の自己走査型LEDの駆動制御部を示すブロック図であり、21-1～21-55は1ライン上に配列された55個の自己走査型LEDチップ、L1～L128は各自己走査型LEDチップ21-1～21-55内に実装された128個の発光素子、2-1～2-55は各自己走査型LEDチップ21-1～21-55を駆動するためのタイミング信号発生回路、4-1～4-55はシフトレジスタ、 $\phi 1$ は記録画像信号を入力する信号線、 $\phi 11$ は記録画像

信号をシフトレジスタ4-1～4-55に格納する際のタイミング信号を与える信号線である。また、図5に示した従来装置のラッチ回路3-1～3-55を夫々2分割し、23-11、23-12～23-551、23-552とし、各自己走査型LEDチップ21-1～21-55内の左半分の発光素子L1～L64へ記録画像信号を送る信号線を $\phi 11-1$ ～ $\phi 11-55$ 、各自己走査型LEDチップ21-1～21-55内の右半分の発光素子L65～L128へ記録画像信号を送る信号線を $\phi 12-1$ ～ $\phi 12-55$ としている。すなわち、各自己走査型LEDチップ21-1～21-55の128個の発光素子L1～L128を中央から2ブロックに分割し、各ブロックに対応してラッチ回路23-11、23-12～23-551、23-552を設ける。

【0019】図1の構成の動作を説明する。

【0020】まず、記録画像信号を図示しない外部装置より信号線 $\phi 10$ を介して、シリアルにシフトレジスタ24-1～128画素ぶん転送し、更に、順次24-2、…24-55へ128画素ずつ転送する。この時のタイミングは図示しない制御回路より信号線 $\phi 11$ を介して与える。1ラインぶんの記録画像信号がシフトレジスタ4-1～4-55へ転送された後、各自己走査型LEDチップ21-1～21-55内の左半分の発光素子L1～L64へ転送する記録画像信号を、各自己走査型LEDチップ21-1～21-55に対して2個ずつ設けられている一方のラッチ回路23-11、23-21、…23-541、23-551で各々並列に保持し、また、各自己走査型LEDチップ21-1～21-55内の右半分の発光素子L65～L128へ転送する記録画像信号を他方のラッチ回路3-12、3-22、…3-542、3-552で各々並列に保持する。次に、ラッチ回路23-11、23-21、…23-541、23-551で各々並列に保持された記録画像信号を逆方向（発光素子L64用の記録画像信号からL63、L62、…L1用の記録画像信号の順）にシフトし、それぞれ信号線 $\phi 11-1$ ～ $\phi 11-55$ へ出力し、また、ラッチ回路23-12、23-22、…23-542、23-552で各々並列に保持された記録画像信号を順方向（発光素子L65からL66、L67、…L128用の記録画像信号の順）にシフトし、信号線 $\phi 12-1$ ～ $\phi 12-55$ へ出力する。

【0021】次に各自己走査型LEDチップ21-1～21-55の動作について説明する。

【0022】図2は、図1に示した自己走査型LEDチップ21-1～21-55の等価回路図である。S1、…S64、S65、…S128は発光用サイリスタで、これは図1の発光素子L1～L128に等価であり、S'1、…S'64、S'65、…S'128は転送用サイリスタである。 ϕS 、 $\phi 1$ 、 $\phi 2$ はタイミング信号発生回路2-1～2-55より与えられる信号であり、

5

また、 $\phi I1$ 、 $\phi I2$ は各信号線 $\phi I1-1$ 、 $\phi I1-2$ 、 $\dots \phi I1-55$ および $\phi I2-1$ 、 $I2-2$ 、 $\dots \phi I2-55$ を介して入力される記録画像信号である。

【0023】まず、スタート信号 ϕS をLからHにする。スタート信号 ϕS がHの状態でシフト信号 $\phi 1$ をHからLにすることにより、図の転送用サイリスタ $S'64$ および $S'65$ がオン状態になり、この転送用サイリスタ $S'64$ および $S'65$ のゲート電圧はアノード電位すなわち、約5Vとなるため、次のタイミングで記録画像信号 $\phi I1$ および $\phi I2$ をHからLにすれば発光用サイリスタ $S64$ および $S65$ がオンになり記録のために発光する。

【0024】記録画像信号 $\phi I1$ および $\phi I2$ をLからHに戻すと、発光用サイリスタ $S64$ および $S65$ はオフになる。次のタイミングでシフト信号 $\phi 2$ をHからLにすると、転送用サイリスタ $S'63$ および $S'66$ がオンになる。次に、シフト信号 $\phi 1$ をLからHにすると、転送サイリスタ $S'64$ および $S'65$ はオフになるが、転送サイリスタ $S'63$ および $S'66$ はオン状態のままで、次に記録画像信号 $\phi I1$ および $\phi I2$ をLからHにすると、発光用サイリスタ $S63$ および $S66$ がオンになる。この繰り返しを32回行うことにより、各ブロック当たり64個（全128個）の発光用サイリスタ $S1 \sim S128$ は、左側のブロックは $S64$ 、 $S63$ 、 $\dots S1$ の順で、また、右側のブロックは $S65$ 、 $S66$ 、 $\dots S128$ の順で順次走査されて、記録画像信号に応じた点灯が可能になる。

【0025】図3は図1に示した構成を用いて直線を記録した場合の説明図である。

【0026】これによると、各自己走査型LEDチップの両端の記録素子 $L1$ 及び $L128$ による画素 $P1$ および $P128$ の記録タイミングは各々隣接する自己走査型LEDチップの記録素子 $L128$ による画素 $P128'$ および $L1$ による画素 $P1'$ と等しいため、従来例として示した図7のチップ間段差Dが発生しなくなる。

*

6

*【0027】〔その他の実施例〕前記実施例において、自己走査型LEDを記録素子として用いたが通常のLED、LCD、サーマルヘッド等の記録素子に対しても本発明は適応可能である。また、自己走査のための構造は前記実施例のサイリスタに限定されず、シフトレジスタに類する構造のものであれば適応可能である。

【0028】さらに、128素子の中央から両端にむけて走査したが、両端から中央にむけて走査することも容易に実施できる。また、自己走査型LEDチップを2分割したが、隣接ブロックが逆方向に走査すれば、3分割、4分割、 \dots でも実施可能である。

【0029】

【発明の効果】この発明は以上説明したとおり、複数の記録チップの夫々の記録素子を複数個のブロックに分割し、隣接するブロックに含まれる記録素子を互いに逆方向に走査するよう駆動することにより、安価で高速に段差のない良質な画像記録が可能である。

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図

【図2】この発明の一実施例における自己走査型LEDチップの等価回路図

【図3】この発明の一実施例を用いて直線を記録した場合の説明図

【図4】自己走査型LEDプリンタの該略図

【図5】従来の自己走査型LEDプリンタの駆動制御部を示すブロック図

【図6】従来例における自己走査型LEDチップの等価回路図

【図7】従来例にを用いて直線を記録した場合の説明図

【図8】タイミングチャート

【符号の説明】

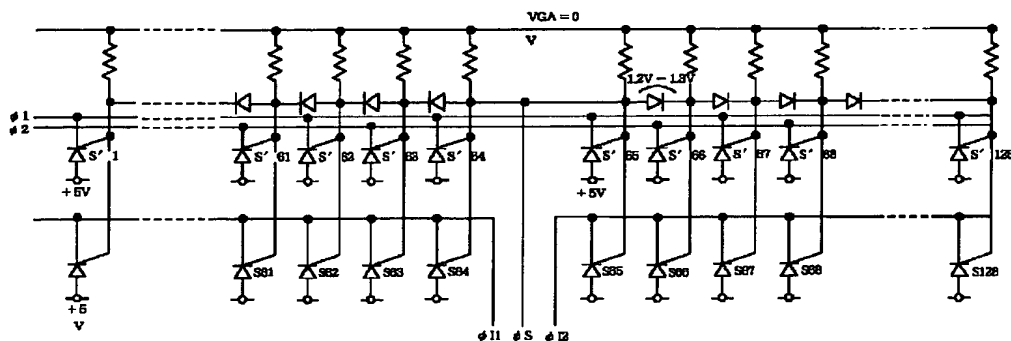
21-1～21-55 自己走査型LEDチップ

2-1～2-55 タイミング信号発生回路

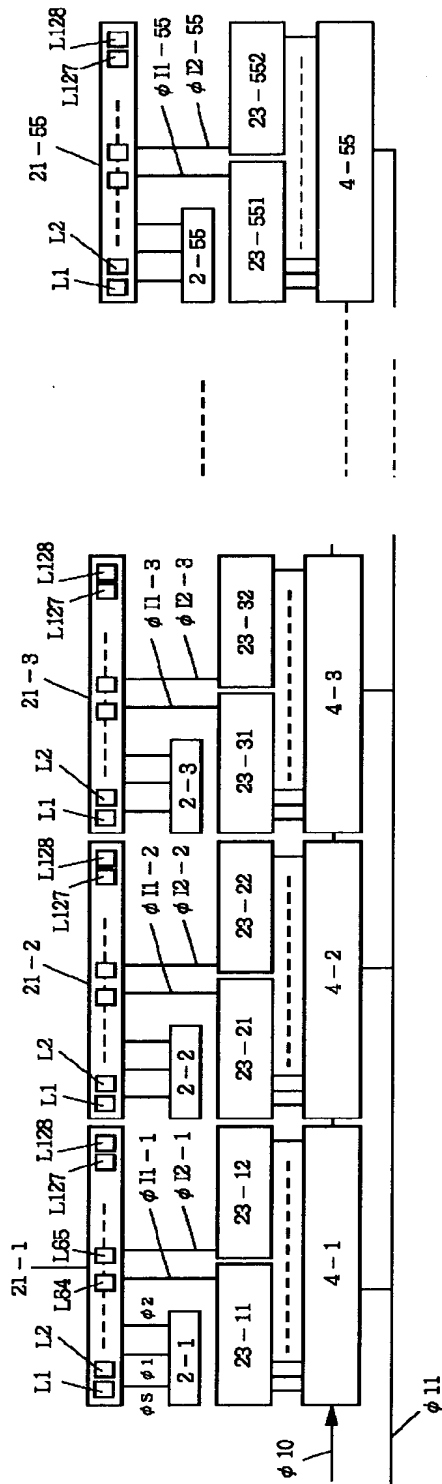
23-11～23-552 ラッチ回路

4-1～4-55 シフトレジスタ

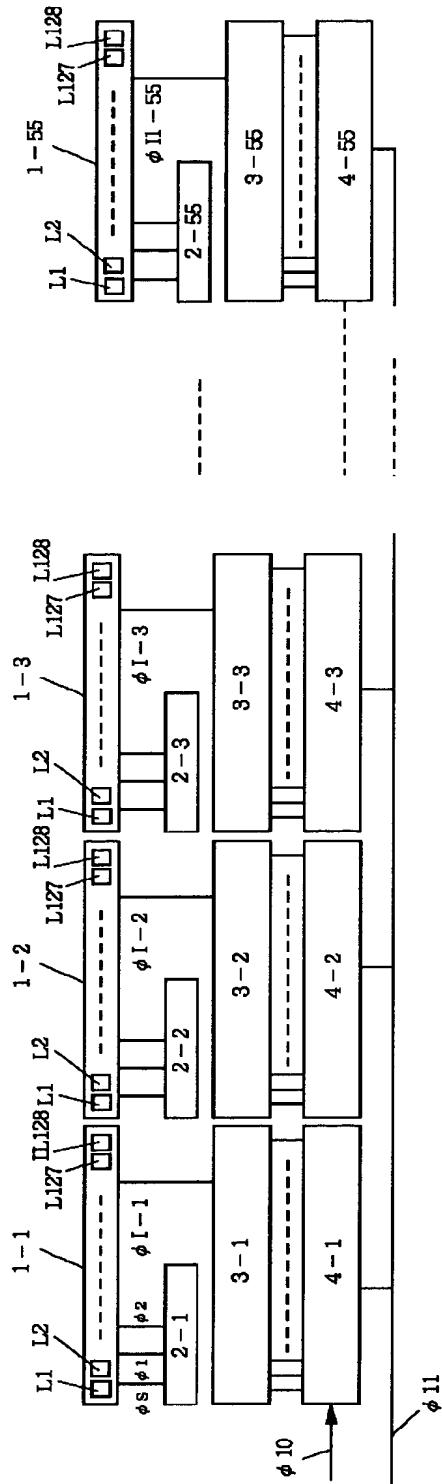
【図2】



【図 1】



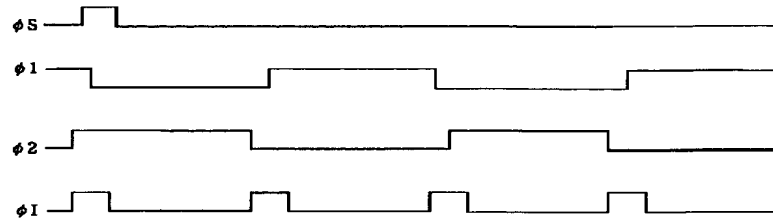
【図 5】



The diagram illustrates the P1-P4 gene structure. It consists of several exons (black boxes) and introns (dashed lines). The exons are labeled with primers: F126*, F127*, F128*, F1, F2, F3, F4, P61, P62, P63, P64, P65, P66, P67, P68, F125, F126, F127, F128, P1', P2', P3', P4'.

The diagram shows a horizontal DNA strand with several segments represented by black boxes. Above the first four boxes are labels P1, P2, P3, and P4. Above the next four boxes are labels P125, P126, P127, and P128. Above the final four boxes are labels P'1, P'2, P'3, and P'4. A dashed line connects the first box to the fifth box. A vertical line on the right side of the diagram intersects the DNA strand, with a downward arrow labeled 'D' above it and an upward arrow below it, indicating a double-strand break.

【図 8】



【手続補正書】

【提出日】平成 8 年 4 月 1 8 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 4

【補正方法】変更

【補正内容】

【請求項 4】 時分割駆動される複数の記録素子を夫々備えた複数の記録チップを有する画像形成装置において、前記複数の記録チップの夫々の前記記録素子を複数個のブロックに分割し、隣接するブロックに含まれる記録素子を互いに逆方向に走査するよう駆動することを特徴とする画像形成装置。

フロントページの続き

(72)発明者 畠 茂雄
東京都大田区下丸子 3 丁目 30 番 2 号キャノ
ン株式会社内